

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 6 月 19 日 (19.06.2003)

PCT

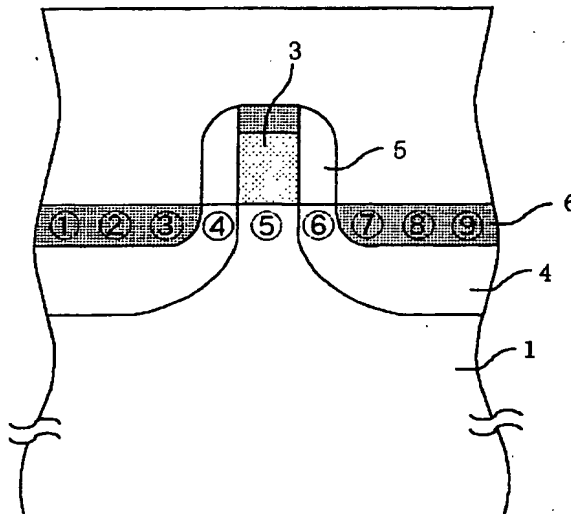
(10) 国際公開番号
WO 03/050871 A1

- (51) 国際特許分類⁷: H01L 27/092
- (21) 国際出願番号: PCT/JP02/12861
- (22) 国際出願日: 2002 年 12 月 9 日 (09.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-375202
2001 年 12 月 10 日 (10.12.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 戸田 昭夫 (TODA, Akio) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 小野 春彦 (ONO, Haruhiko) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒107-0062 東京都港区南青山 3 丁目 4 番 1 2 号 知恵の館 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許

[続葉有]

(54) Title: MOS SEMICONDUCTOR DEVICE

(54) 発明の名称: MOS 型半導体装置



(57) Abstract: While using a conventional production process, a compressive stress is exerted on a p-channel MOS field-effect transistor in the direction of the channel and a tensile stress is exerted on a n-channel field-effect transistor in the direction of the channel, thereby increasing both MOS currents. A p-channel MOS field-effect transistor, or a MOS semiconductor device in which elements are isolated by a trench element isolation region, has a length of source/drain region along the channel of 1 μm or less and a length of a gate of 0.2 μm or less. An n-channel MOS field-effect transistor, or such a MOS semiconductor device has a structure in which the face of the source/drain regions parallel to the width of the gate is in contact with an element isolation film where a silicon nitride film is inserted, and the face of the source/drain regions parallel to the length of the gate is in contact with an element isolation film composed of only a silicon oxide film.

[続葉有]



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

(57) 要約:

従来の製造プロセスを用いつつ、pチャネルMOS電界効果トランジスタにはチャネル方向に圧縮応力をnチャネルMOS電界効果トランジスタにはチャネル方向に引っ張り応力を印加出来るようにして両MOS電流の増加を図る。

トレンチ型の素子分離領域によって素子分離がなされたMOS型半導体装置において、pチャネルMOS電界効果トランジスタにおいては、チャネル方向のソース・ドレイン領域の長さを $1\mu\text{m}$ 以下とする。また、ゲート長を $0.2\mu\text{m}$ 以下とする。nチャネルMOS電界効果トランジスタにおいては、ゲート幅方向と平行なソース・ドレイン領域の面がシリコン窒化膜が挿入された素子分離膜と接し、ゲート長方向と平行なソース・ドレイン領域の面がシリコン酸化膜のみからなる素子分離膜と接している。

明細書

MOS型半導体装置

技術分野

本発明は、MOS型電界効果トランジスタを有するMOS型半導体装置に関し、特に、オン電流を向上させたpチャネルMOS電界効果トランジスタ、nチャネルMOS電界効果トランジスタのうち少なくとも一方を含むMOS型半導体装置に関する。

背景技術

これまでMOSトランジスタやCMOSの高性能化は微細化により、すなわちチャネル長を短くしゲート絶縁膜を薄くすることにより進められてきた。しかしながら、ゲート絶縁膜の膜厚や微細加工可能な最小寸法などが限界に近づきつつあるのが現状である。したがって、微細化のみにこれまでのような高性能化を期待することができず、微細化以外の高性能化手段が必要となってきた。

その高性能化手段の一つに、チャネル領域に応力を印加しキャリアの移動度を向上させる技術、いわゆる歪みSiチャネル技術がある。基板の広い領域においてSiを歪ませ、そこに素子を作る技術には以下のようなものがある。すなわち、単結晶のSiGe緩和層上にSiをエピタキシャル成長させ、これにMOSを作成する第1の従来方法がある。また、極薄SOIを高温に加熱し、室温に戻る冷却過程においてSOIに生じる歪みを利用する第2の従来方法がある。

しかしながら、第1の従来方法においては、緩和層上に成長したSiの表面平坦性、緩和層および歪みSi中の欠陥低減技術などが問題点として考えられ、未だ工業的実現性に乏しい。第1の従来方法においては、高々0.3GPaの応力しか導入できないため、十分な移動度の増分が得られない可能性がある。

これらの基板の広い領域に一様な歪みを導入する技術のほかに、デバイス構造あるいはプロセスに起因する応力、特に素子分離技術に起因した応力を用いてチャネルの格子歪みの制御、すなわちキャリアの移動度の制御を試みる従来技術もある。例えば、特開2001-28341号公報には、Si基板上に堆積した熱収縮性SiO₂上にSiをスパッタ法等により堆積し、Si膜をアイランド化した上で熱処理を行ってSiO₂膜を収縮させると共にSi膜を結晶化させてpチャネルMOS電界効果トランジスタに圧縮歪みを導入する技術が開示されている。しかしながら、アモルファスであるSiO₂上に堆積されたSi膜に加熱処理を施して結晶化を行っても単結晶は得られず、圧縮歪みが導入できたとしても得られる移動度は多結晶Siについてのものであり、単結晶Si上にMOSトランジスタやCMOSを形成しようとする場合には適さない。

また、特開2000-36567号公報には、SOIウェハの埋め込み酸化膜の膜厚と、SOIウェハ上のSi膜をアイランド化するためのフィールド酸化膜の形成条件を適切に設定することにより、Siアイランドが圧縮応力を受けるようにできることが開示されている。この手法によるpチャネルMOS電界効果トランジスタのゲート遅延時間は、バルクSi基板上に作成したpチャネルMOS電界効果トランジスタより減少しており、正孔移動度の増加が確認されている。しかし、アイランドに導入される歪みは圧縮歪みであることからnチャネルMOS電界効果トランジスタに対する移動度増加の効果はなくむしろ逆効果が懸念されることから、やはりCMOSを形成する場合の性能向上が見込めない。

また、特開平11-54756号公報では、2軸性の圧縮、引っ張り歪み状態のSi中の電子、正孔移動度を計算により求め、どのような歪みがCMOSの性能向上に対して有効であるかを検討している。その結果1%-2%の圧縮歪みにより、正孔、電子両方の移動度が向上することを明らかにし、この状態の歪みSiを実現する構造としてSOIをLOCOS法で分離したSiアイランドを提案している。しかし1%-2%の歪みは結晶欠陥の発生、Si結晶の破壊を引き起こすレベルであり、工業的には実現に困難を伴う技術である。

本発明の課題は、上述した従来技術の問題点を解決することであって、その

目的は、デバイス構造に起因する応力を従来プロセスと整合性の高い方法で制御することでチャネル領域の歪みを制御し p チャネル MOS 電界効果トランジスタあるいは n チャネル MOS 電界効果トランジスタのオン電流を向上させること、またこれらのオン電流が向上した n チャネル MOS 電界効果トランジスタおよび p チャネル MOS 電界効果トランジスタから構成される CMOS を提供することである。

発明の開示

上記の目的を達成するため、本発明によれば、チャネル領域におけるチャネル方向の圧縮歪みがゲート幅方向の圧縮歪みよりも大きい p チャネル MOS 電界効果トランジスタを有する MOS 型半導体装置が提供される。

そして、好ましくは、前記 p チャネル MOS 電界効果トランジスタのゲート電極のゲート長が $0.2\ \mu\text{m}$ 以下、ソース・ドレイン長が $1\ \mu\text{m}$ より短いものである。

また、上記の目的を達成するため、本発明によれば、トレンチ溝を埋め込む素子分離膜によって分離されて p チャネル MOS 電界効果トランジスタが形成されており、かつ、前記 p チャネル MOS 電界効果トランジスタのソース・ドレイン領域のゲート幅方向と平行な二辺と接する素子分離膜がシリコン酸化膜により形成され、前記 p チャネル MOS 電界効果トランジスタのソース・ドレイン領域のチャネル方向と平行な二辺と接する素子分離膜の少なくとも一部がシリコン窒化膜により形成されている MOS 型半導体装置が提供される。

そして、好ましくは、前記 p チャネル MOS 電界効果トランジスタが形成されている同一基板上に n チャネル MOS 電界効果トランジスタが形成される。

また、上記の目的を達成するため、本発明によれば、チャネル領域におけるチャネル方向またはゲート幅方向の引っ張り歪みがゲート幅方向またはチャネル方向の引っ張り歪みよりも大きい n チャネル MOS 電界効果トランジスタを有する MOS 型半導体装置が形成される。

また、上記の目的を達成するため、本発明によれば、活性領域がトレンチ溝「を埋め込む素子分離膜によって分離されており、かつ、ソース・ドレイン領

域の少なくとも平行な二辺と接する素子分離膜の少なくとも一部はシリコン窒化膜により構成されているnチャネルMOS電界効果トランジスタを有するMOS型半導体装置が提供される。

図面の簡単な説明

図1は、本発明の第1の実施の形態におけるチャネル領域での格子歪みとオン電流の関係を調べるために作成された、ソース・ドレイン長が長いpチャネルMOS電界効果トランジスタの模式図である。

図2は、本発明の第1の実施の形態におけるチャネル領域での格子歪みとオン電流の関係を調べるために作成された、ソース・ドレイン長が短いpチャネルMOS電界効果トランジスタの模式図である。

図3は、格子歪み測定を行った領域の測定位置の説明図である。

図4は、2つのソース・ドレイン長を有する試料における、チャネル方向の格子歪み分布図である。

図5は、pチャネルMOS電界効果トランジスタにおけるオン電流のソース・ドレイン長への依存性を示すグラフである。

図6は、本発明の第2の実施の形態におけるシリコン窒化膜が挿入されたSTI型素子分離膜の断面構造を示す模式図である。

図7は、本発明の第2の実施の形態におけるシリコン窒化膜が挿入されたSTI型素子分離膜と挿入されていないSTI型素子分離膜におけるチャネル方向の格子歪み分布図である。

図8は、本発明の第2の実施の形態におけるシリコン窒化膜が挿入されたSTI型素子分離膜を備えたnチャネルMOS電界効果トランジスタの断面図である。

図9は、本発明の第3の実施の形態におけるpチャネルMOS電界効果トランジスタのオン電流向上により高性能化されたCMOSの断面図である。

図10は、本発明の第4の実施の形態におけるnチャネルMOS電界効果トランジスタ及びpチャネルMOS電界効果トランジスタ両方のオン電流向上により高性能化されるCMOSの断面図である。

図11は、本発明の第5の実施の形態におけるnチャネルMOS電界効果トランジスタ及びpチャネルMOS電界効果トランジスタ両方のオン電流向上により高性能化されるCMOSの断面図である。

図12は、本発明の第6の実施の形態におけるnチャネルMOS電界効果トランジスタ及びpチャネルMOS電界効果トランジスタ両方のオン電流向上により高性能化されるCMOSの断面図である。

図13は、シリコン窒化膜の有無によるチャネル方向の歪み分布図である。

図14は、本発明の第7の実施の形態におけるチャネル領域での格子歪みとオン電流の関係を調べるために作成されたソース・ドレイン長が短いpチャネルMOS電界効果トランジスタの模式図である。

発明を実施するための最良の形態

次に、本発明の実施の形態について図面を参照して詳細に説明する。

[第1の実施の形態]

発明者は、STI (shallow trench isolation) 型素子分離領域がチャネル領域に及ぼす歪みと、この歪みがオン電流に与える影響を調べた。この目的のため、図1と図2とに示すような素子分離膜とチャネルとの距離 L' すなわちソース・ドレイン長が異なる2つのpチャネルMOS電界効果トランジスタを作成し、チャネルにおける格子歪みとオン電流を測定した。すなわち、図1は、ソース・ドレイン長が長い第1のpチャネルMOS電界効果トランジスタを示し、図2は、ソース・ドレイン長が短い第2のpチャネルMOS電界効果トランジスタを示す。

図1に示すように、第1のpチャネルMOS電界効果トランジスタは以下の構成を有する。シリコン基板1上にSTI (shallow trench isolation) 型の素子分離膜2で分離された活性領域が画定される。この活性領域上に、ゲート絶縁膜(図示を省略)が形成される。このゲート絶縁膜上にはゲート電極3が形成される。ゲート電極3は、ゲート長 $0.11\mu\text{m}$ を有し、ポリシリコンからなる。ゲート電極3をマスクとして拡散層4からなるソース・ドレイン領域を

形成する。ソース・ドレイン領域は、それぞれ $8.0\ \mu\text{m}$ のソース・ドレイン長 L' を有する。ゲート電極の側面にサイドウォール5を形成する。ソース・ドレイン領域を構成する拡散層4とゲート電極3との表面に、該サイドウォール5に自己整合するコバルトシリサイド膜6を形成する。そして、基板表面を層間絶縁膜7にて被覆する。拡散層4上およびゲート電極端部上の層間絶縁膜7にコンタクトホールを開設する。該コンタクトホールを埋め込むコンタクトプラグ8を形成することで、第1のpチャネルMOS電界効果トランジスタを作成した。

図2に示すように、第2のpチャネルMOS電界効果トランジスタは以下の構成を有する。シリコン基板1上にSTI (shallow trench isolation) 型の素子分離膜2で分離された活性領域が画定される。この活性領域上に、ゲート絶縁膜(図示を省略)が形成される。このゲート絶縁膜上にはゲート電極3が形成される。ゲート電極3は、ゲート長 $0.11\ \mu\text{m}$ を有し、ポリシリコンからなる。ゲート電極3をマスクとして拡散層4からなるソース・ドレイン領域を形成する。ソース・ドレイン領域は、それぞれ $0.5\ \mu\text{m}$ のソース・ドレイン長 L' を有する。ゲート電極の側面にサイドウォール5を形成する。ソース・ドレイン領域を構成する拡散層4とゲート電極3との表面に、該サイドウォール5に自己整合するコバルトシリサイド膜6を形成する。そして、基板表面を層間絶縁膜7にて被覆する。拡散層4上およびゲート電極端部上の層間絶縁膜7にコンタクトホールを開設する。該コンタクトホールを埋め込むコンタクトプラグ8を形成することで、第2のpチャネルMOS電界効果トランジスタを作成した。この第2のpチャネルMOS電界効果トランジスタはソース・ドレイン長さ L' のみが前記第1のpチャネルMOS電界効果トランジスタと異なる。

その後第1のpチャネルMOS電界効果トランジスタ及び第2のpチャネルMOS電界効果トランジスタの各々につき、チャネル領域の格子歪みとオン電流とを測定した。

ここで、格子歪み測定は、透過型電子顕微鏡を利用した収束電子回折法を用いて行った。この方法は、径 $1\ \text{nm}$ 以下に収束した電子を試料上に照射し、回折図形を得る方法であり、試料中での電子の広がりを考慮しても、約 $10\ \text{nm}$

の空間分解能で、試料の特定部位の歪みを測定することが可能である。測定方法や回折図形の解析方法の詳細は、特開2000-9664号公報に詳述されている。

図3は格子歪測定を行った領域の測定位置を示す説明図である。それぞれの試料について各番号の位置の格子歪みを測定した。各測定位置のSi表面からの距離すなわち基板表面からの深さは均一で、約10nmであった。

図4に $L' = 8 \mu\text{m}$ の第1のpチャネルMOS電界効果トランジスタ及び $L' = 0.5 \mu\text{m}$ の第2のpチャネルMOS電界効果トランジスタの各々の格子歪みのチャネル方向成分の分布を示す。ここで、チャネル方向とはキャリアの走行する方向であってゲート長方向と一致している。したがって、チャネル方向と垂直の方向はゲート幅方向に相当している。図4において、横軸は図3における測定位置の番号に対応し、測定点5がゲート電極直下のチャネル領域に相当する。縦軸の格子歪みは正が引っ張り歪み、負が圧縮歪みを表す。

ゲート電極直下の測定点5での値を比較する。 $L' = 8 \mu\text{m}$ の第1のpチャネルMOS電界効果トランジスタでは、ゲート電極直下の測定点5でのチャネル方向の格子歪みは、 -7×10^{-4} である。これに対し、 $L' = 0.5 \mu\text{m}$ の第2のpチャネルMOS電界効果トランジスタでは、ゲート電極直下の測定点5でのチャネル方向の格子歪みは、 -2.6×10^{-3} である。このことは、第1及び第2のpチャネルMOS電界効果トランジスタともに、ゲート電極直下の測定点5では、格子は圧縮歪みを有するが、この圧縮歪みの絶対値大きさはソース・ドレイン長さ L' が小さくなれば大きくなり、 L' が大きくなれば小さくなることを実証している。これはトレンチ型素子分離膜によりソース・ドレインを構成する拡散層4が受ける圧縮応力が、ソース・ドレイン長さ L' の減少に伴って増加するためである。以上から、ソース・ドレイン長さ L' を調整することでチャネル領域に生じる格子歪みを調整することが可能であることが分かる。

図5はpチャネルMOS電界効果トランジスタにおけるオン電流のソース・ドレイン長さ L' への依存性を示す。ソース・ドレイン長さ L' が $1.0 \mu\text{m}$ 乃至 $10 \mu\text{m}$ では、オン電流はほとんど変化がない。しかしソース・ドレイン長さ

L' が $1\mu\text{m}$ 以下では、ソース・ドレイン長さ L' の減少に伴い、オン電流が増加する。例えば、 $L' = 0.3\mu\text{m}$ では、 $L' = 5.0\mu\text{m}$ にくらべオン電流が約 10% 増加している。以上の実験から、ソース・ドレイン長さ L' を減少させることでチャネル領域の格子構造の圧縮歪みが増大する。この圧縮歪みの増大が正孔移動度の向上の原因となって、オン電流が増加する。

本実施の形態ではゲート幅方向すなわち図 3 において紙面に垂直方向の歪みは測定していないが、実際のデバイスにおいてはこの方向にも素子分離膜が存在しているため、特に緩和プロセスを施さない限り圧縮歪みが存在する。しかし、p チャネル MOS 電界効果トランジスタの活性領域上にはゲート電極が存在していることにより、歪みは等方的には発生せず、ゲート幅方向にはチャネル方向ほど大きな圧縮歪みが発生しないことが分かっている。すなわち、ゲート幅方向の格子構造の圧縮歪みは存在するが、ソース・ドレイン長さ L' が短くなるにつれて、チャネル方向の格子構造の圧縮歪みの方が支配的になる。したがって、ソース・ドレイン長さ L' を $1\mu\text{m}$ より短くすることにより、ゲート幅方向の圧縮歪みよりも大きいチャネル方向の圧縮歪みを導入することができる。

図 2 に示される第 2 の p チャネル MOS 電界効果トランジスタのソース・ドレイン長さは $1\mu\text{m}$ より短く、具体的には $L' = 0.5\mu\text{m}$ である。すなわち、第 2 の p チャネル MOS 電界効果トランジスタにおいては、ゲート幅方向の圧縮歪みよりもチャネル方向の圧縮歪みの方が大きく支配的である。

なお、 $L' = 0.5\mu\text{m}$ における、チャネル方向の -2.6×10^{-3} の圧縮歪みは通常では結晶欠陥等の発生が懸念される程度の大きさである。しかしながら、本実施の形態においてこのような大きな歪みは、ゲート電極直下の非常に限られた領域にのみ発生するので、結晶欠陥が発生することはない。具体的には、上記第 1 及び第 2 の p チャネル MOS 電界効果トランジスタのゲート長は、 $0.11\mu\text{m}$ であり、このような局所領域のみに大きな歪みが存在するので、結晶欠陥が発生することはない。本実施の形態においては、1 つの典型例としてゲート長を $0.11\mu\text{m}$ としたが、 $0.2\mu\text{m}$ 以下であれば結晶欠陥が発生することはない。したがって本実施の形態に係るトランジスタのゲート長

は0.2 μm 以下が好ましい。

本実施の形態のpチャネルMOS電界効果トランジスタは、ソース・ドレイン長さを設計段階で調整するのみで、通常の製造プロセスに何ら変更を加えることなく、チャネル領域の格子構造のゲート幅方向の圧縮歪み及びチャネル方向の圧縮歪みを調整することが可能となる。

[第2の実施の形態]

前記第1の実施の形態ではチャネル方向の圧縮応力をpチャネルMOS電界効果トランジスタ印加することによりpチャネルMOS電界効果トランジスタのオン電流の向上を実現しているが、同じチャネル方向の圧縮応力をnチャネルMOS電界効果トランジスタに印加すると反対にオン電流が減少してしまう。チャネル方向の格子歪みによりnチャネルMOS電界効果トランジスタのオン電流を向上させるには引っ張り歪みを導入する必要がある。

従って、本発明の第2の実施の形態では、STI型素子分離膜にシリコン窒化膜を挿入することによって、nチャネルMOS電界効果トランジスタのチャネル方向に引っ張り歪みを導入することでオン電流向上を実現する。図6にシリコン窒化膜が挿入された素子分離膜の断面を模式的に示す。STI型素子分離構造は、トレンチ溝の内壁に接するシリコン酸化膜2aと、トレンチ溝埋設用のシリコン酸化膜2cと、シリコン酸化膜2a及びシリコン酸化膜2cの間に介在するシリコン窒化膜2bとからなる。

図7に、STI型素子分離構造中にシリコン窒化膜を挿入していない場合(破線)の拡散層における格子歪み分布の測定結果、及びSTI型素子分離構造中にシリコン窒化膜を挿入した場合(実線)の拡散層における格子歪み分布の測定結果を示す。横軸はトレンチ端(図6参照)からの距離である。窒化シリコンを挿入していない場合、チャネル方向に圧縮歪みが存在する。これに対し、窒化シリコンを挿入した場合、チャネル方向に引っ張り歪みが存在する。これはシリコン窒化膜の真性応力に対する横歪みの結果である。

なお、図7のシリコン窒化膜を挿入していない場合と図4の $L' = 0.5 \mu\text{m}$ の場合とでは、試料の構造が異なるため格子歪み分布が異なる。すなわち、

図4においてはゲート電極を含めMOS電界効果型半導体のデバイス構造を作り込んだ試料について測定しているのに対し、図7では素子分離領域のみを作りこんだ試料について測定しているため、格子歪み分布が異なる。従って、図4に示す結果と図7に示す結果とに矛盾はない。

図8は、本発明の第2の実施の形態を示すnチャネルMOS電界効果トランジスタの断面図である。図8において、図1と同等の部分には同一の参照番号付せられているので、重複する説明は省略する。本実施の形態においては、素子分離絶縁膜がシリコン酸化膜2aとシリコン窒化膜2bとシリコン酸化膜2cの3層構造となっている。これにより、チャネル方向にゲート幅方向より大きな引っ張り歪みが発生し、シリコン窒化膜を挿入しない素子分離膜により分離されたnチャネルMOS電界効果トランジスタに比べてオン電流が向上する。

なお、素子分離膜へのシリコン窒化膜への挿入は、素子分離膜の一部がシリコン窒化膜によって構成されていれば目的を達成できるので、各種の変更が可能である。例えば、トレンチ溝内全体を窒化シリコンにより埋め込むことも可能であるが、シリコン基板との界面準位の増加などを考慮すると、少なくとも内面はシリコン酸化膜とすることが好ましく、またシリコン窒化膜の膜厚によって引っ張り歪み量が変化することから、導入すべき歪み量に応じて素子分離膜の構造、シリコン窒化膜の膜厚を選択することが望ましい。

また、本実施の形態においては、紙面に水平な断面の素子分離膜にのみシリコン窒化膜を挿入していたが、紙面に垂直な断面の素子分離膜にもシリコン窒化膜を挿入してもよい。

また、好ましいゲート長さについても第1の実施の形態で記載した通りである。

本実施の形態のnチャネルMOS電界効果トランジスタは、ソース・ドレイン長さを設計段階で調整するのみで、通常の製造プロセスに何ら変更を加えることなく、チャネル領域の格子構造のゲート幅方向の圧縮歪み及びチャネル方向の圧縮歪みを調整することが可能となる。

[第3の実施の形態]

図9は、本発明の第3の実施の形態に係るCMOSの構造を示す部分平面図と部分断面図である。図9において、図1、図2の部分と同等の部分には同一の参照番号を付し、重複する説明は省略する。図9に示す第3の実施の形態においては、シリコン基板1上にpウェル1aとnウェル1bとが形成されており、それぞれのウェル上にnチャネルMOS電界効果トランジスタとpチャネルMOS電界効果トランジスタが形成されている。同図に示されるように、本実施の形態においては、ソース・ドレイン長 L' が大きいnチャネルMOS電界効果トランジスタとソース・ドレイン長 L' が小さいpチャネルMOS電界効果トランジスタとが組み合わされたCMOSが構成される。すなわち、ソース・ドレイン長 L' が小さい場合、正孔移動度は増加するが、電子移動度は減少する。したがって両方の極性のMOS電界効果トランジスタにおいてソース・ドレイン長を短く構成するとnチャネルMOS電界効果トランジスタの特性が劣化するためCMOSとしての性能向上が期待できない。そこでnチャネルMOS電界効果トランジスタについては、圧縮歪みによる電子移動度の低下を防ぐためにソース・ドレイン長を長くする。その長さは、ソース・ドレイン長が圧縮歪みの影響を受けなくなる $1\mu\text{m}$ 以上とすることが好ましい。一方、pチャネルMOS電界効果トランジスタのソース・ドレイン長は、前述の第1の実施例に記載したように、 $1\mu\text{m}$ より短く、典型的には $L' = 0.5\mu\text{m}$ である。よって、pチャネルMOS電界効果トランジスタにおいては、ゲート幅方向の圧縮歪みよりもチャネル方向の圧縮歪みの方が大きく支配的にすることが可能である。すなわち、nチャネルMOS電界効果トランジスタのソース・ドレイン長は、pチャネルMOS電界効果トランジスタのソース・ドレイン長より長くなるようCMOSを設計する。

また、好ましいゲート長さについても第1の実施の形態で記載した通りである。

本実施の形態のpチャネルMOS電界効果トランジスタ及びnチャネルMOS電界効果トランジスタの各々は、ソース・ドレイン長さを設計段階で調整するのみで、通常の製造プロセスに何ら変更を加えることなく、チャネル領域の格子構造のゲート幅方向の圧縮歪み及びチャネル方向の圧縮歪みを調整するこ

とが可能となる。

[第4の実施の形態]

図10は、本発明の第4の実施の形態に係るCMOSの構造を示す部分平面図と部分断面図である。図10において、図8、図9の部分と同等の部分には同一の参照番号が付せられているので、重複する説明は省略する。第4の実施の形態においては、pチャネルMOS電界効果トランジスタとnチャネルMOS電界効果トランジスタとが組み合わされたCMOSが構成される。pチャネルMOS電界効果トランジスタは、通常のSTI分離膜で分離され、そのソース・ドレイン長は $1\mu\text{m}$ 以下に設計される。一方、nチャネルMOS電界効果トランジスタにおいて、ゲート幅方向と平行なソース・ドレイン領域の面が、シリコン窒化膜が挿入されたSTI分離膜と接する。pチャネルMOS電界効果トランジスタのチャネル領域では、チャネル方向の圧縮歪みがゲート幅方向の圧縮歪みより大きくなり、一方、nチャネルMOS電界効果トランジスタのチャネル領域では、チャネル方向の引っ張り歪みがゲート幅方向の引っ張り歪みより大きくなる。したがってpチャネルMOS電界効果トランジスタ及びnチャネルMOS電界効果トランジスタ両方において、オン電流を向上させることが可能となり、CMOSの高性能化が実現できる。なお、nチャネルMOS電界効果トランジスタの素子分離膜については、nチャネルMOS電界効果トランジスタのソース・ドレイン領域に接するすべてのSTI分離膜にシリコン窒化膜を挿入するようにしてもよい。

また、好ましいゲート長さについても第1の実施の形態で記載した通りである。

本実施の形態のpチャネルMOS電界効果トランジスタは、ソース・ドレイン長さを設計段階で調整するのみで、通常の製造プロセスに何ら変更を加えることなく、チャネル領域の格子構造のゲート幅方向の圧縮歪み及びチャネル方向の圧縮歪みを調整することが可能となる。そして、nチャネルMOS電界効果トランジスタもソース・ドレイン長さを設計段階で調整するのみで、通常の製造プロセスに何ら変更を加えることなく、チャネル領域の格子構造のゲート

幅方向の引っ張り歪み及びチャネル方向の引っ張り歪みを調整することが可能となる。

[第5の実施の形態]

以上の4つの実施の形態では、チャネル方向の歪みに着目し、これを調整することにより装置の特性の向上を図った。チャネル方向に垂直な方向すなわちゲート幅方向の歪みも電子および正孔の移動度を変化させることが知られている。A. Hamada et al., "A New Aspect of Mechanical Stress Effect S i N Scaled MOS Devices," IEEE Transactions on Electron Devices, 38(1991)895) には、チャネルと垂直方向に1軸性応力を印加した場合の移動度は、電子、正孔とも引っ張り応力で増加し、圧縮応力で減少することが開示されている。

図11は、本発明の第5の実施の形態に係るCMOSの構造を示す部分平面図と部分断面図である。図11において、図8、図9の部分と同等の部分には同一の参照番号が付せられているので、重複する説明は省略する。第5の実施の形態においては、pチャネルMOS電界効果トランジスタとnチャネルMOS電界効果トランジスタとからなるCMOSが構成される。pチャネルMOS電界効果トランジスタにおいて、チャネル方向と平行なソース・ドレイン領域の面はシリコン窒化膜が挿入されたSTI分離膜に接する。nチャネルMOS電界効果トランジスタにおいても、同様に、チャネル方向と平行なソース・ドレイン領域の面はシリコン窒化膜が挿入されたSTI分離膜に接する。このような構造においては、pチャネルMOS電界効果トランジスタ、nチャネルMOS電界効果トランジスタともに、チャネル領域のチャネル方向と垂直な方向すなわちゲート幅方向に引っ張り歪みが加えられ、電子および正孔の移動度が向上する。

また、好ましいゲート長さについても第1の実施の形態で記載した通りである。

本実施の形態のpチャネルMOS電界効果トランジスタ及びnチャネルMOS電界効果トランジスタの各々は、チャネル方向と平行なソース・ドレイン領域の面がシリコン窒化膜が挿入されたSTI分離膜に接するよう設計するのみ

で、チャネル領域のチャネル方向と垂直な方向すなわちゲート幅方向に引っ張り歪みが加えられ、電子および正孔の移動度を向上させることが可能となる。

[第6の実施の形態]

図12は、本発明の第6の実施の形態に係るCMOSの構造を示す部分平面図と部分断面図である。図12において、図11の部分と同等の部分には同一の参照番号が付せられているので、重複する説明は省略する。第6の実施の形態においては、pチャネルMOS電界効果トランジスタのソース・ドレイン長が $1\mu\text{m}$ 以下になされると共に、nチャネルMOS電界効果トランジスタを分離するSTI分離膜にはnチャネルMOS電界効果トランジスタの全周囲にわたってシリコン窒化膜が挿入されている。これにより、pチャネルMOS電界効果トランジスタにおいては、チャネル方向においては圧縮歪みがゲート幅方向には引っ張り歪みが加えられ、nチャネルMOS電界効果トランジスタにおいては、チャネル方向とゲート幅方向の両方に引っ張り歪みが加えられることになり、第5の実施例の場合より、電子および正孔の移動度をさらに向上させることが可能であり、CMOSを一層高性能化させることが可能になる。

また、好ましいゲート長さについても第1の実施の形態で記載した通りである。

[第7の実施の形態]

チャネル領域に歪みを印加する方法として、チャネル領域上部の膜応力を利用することも可能である。図13は、シリコン窒化膜の有無によるチャネル方向の歪み分布図である。図14は、本発明の第7の実施の形態におけるチャネル領域での格子歪みとオン電流の関係を調べるために作成されたソース・ドレイン長が短いpチャネルMOS電界効果トランジスタの模式図である。図14において、図1、図2の部分と同等の部分には同一の参照番号が付せられているので、重複する説明は省略する。第7の実施の形態においては、層間絶縁膜がエッチングストッパとなるシリコン窒化膜7aとシリコン酸化膜7bとによって構成されている。図13には、シリコン窒化膜7bの有無による、チャネ

ル方向の歪みが示されている。測定位置は図3に示される数値が対応している。図13から分かるように、活性領域上がシリコン窒化膜に覆われたことにより、チャンネル領域には局所的にチャンネル方向の格子歪みが導入される。したがって、正孔移動度の向上を図ることができ、pチャンネルMOS電界効果トランジスタ高速化が実現できる。

シリコン窒化膜7bは、基板上全面を被覆するように形成しておいてもよいが、電子移動度の向上効果は期待できないので、nチャンネルMOS電界効果トランジスタ上からは選択的に除去するようにしてもよい。あるいはpチャンネルMOS電界効果トランジスタ上のみ選択的に形成するようにしてもよい。なお、被覆材料としては、シリコン窒化膜に限らず、Si基板に引っ張り歪みを引き起こす材料であれば、利用可能である。ただし、チャンネル領域上部の膜応力を用いる場合、同一種類（圧縮または引っ張りのどちらか一方）の歪みがかかることに注意が必要である。また、本実施の形態を他の実施の形態と併用するようにすることができる。

産業上の利用可能性

以上説明したように、本発明のMOS型半導体装置は、ソース・ドレイン長の長さを調整することにより、あるいは、分離絶縁膜中に窒化膜を挿入することにより、チャンネル領域の歪みを調整するものである。本発明によれば、従来のデバイスプロセスの延長でチャンネル領域の歪みを制御して、pチャンネルMOS電界効果トランジスタやnチャンネルMOS電界効果トランジスタのオン電流を増加させることができる。また、pチャンネルMOS電界効果トランジスタとnチャンネルMOS電界効果トランジスタの歪みを独立に制御することができることにより、一方のオン電流の増加が他方のオン電流の低下をもたらすことを回避することができる。したがって、本発明によれば、コスト増を招くことなく容易にpチャンネルMOS電界効果トランジスタやnチャンネルMOS電界効果トランジスタのオン電流を増加させることができ、CMOSの高性能化を実現することができる。

請求の範囲

1. チャネル領域におけるチャネル方向の圧縮歪みがゲート幅方向の圧縮歪みよりも大きいpチャネル型MOSトランジスタを含む半導体装置。
2. 前記pチャネル型MOSトランジスタの活性領域におけるチャネル方向の圧縮歪みがチャネル領域において局所的に高くなっている請求項1に記載の半導体装置。
3. 前記pチャネル型MOSトランジスタのゲート電極のゲート長が0.2 μm 以下である請求項1に記載の半導体装置。
4. ゲート電極からソース・ドレイン領域のゲート幅方向の辺までの距離として定義されるソース・ドレイン長が1 μm より短いことにより、前記pチャネル型MOSトランジスタのチャネル方向の圧縮歪みがゲート幅方向の圧縮歪みよりも大きい請求項1に記載の半導体装置。
5. 前記pチャネル型MOSトランジスタのチャネル領域は、ゲート幅方向に引っ張り応力を有する請求項1に記載の半導体装置。
6. 前記pチャネルMOS電界効果トランジスタが形成されている同一基板上にnチャネル型MOSトランジスタが形成されている請求項1に記載の半導体装置。
7. 前記nチャネル型MOSトランジスタのソース・ドレイン長が1 μm 以上である請求項6に記載の半導体装置。
8. 前記nチャネル型MOSトランジスタは、チャネル方向およびゲート幅方向の内少なくとも1つの方向の引っ張り応力を有する請求項6に記載の半導体装置。

導体装置。

9. 前記nチャネル型MOSトランジスタがトレンチ溝を埋め込む素子分離膜によって分離されており、かつ、前記nチャネル型MOSトランジスタのソース・ドレイン領域の少なくとも平行な二辺と接する素子分離膜の少なくとも一部はシリコン窒化膜により構成されている請求項6に記載の半導体装置。

10. 前記少なくとも一部がシリコン窒化膜により構成されている素子分離膜が、酸化膜／窒化膜／酸化膜の3層構造の絶縁膜である請求項9に記載の半導体装置。

11. 半導体基板には、チャネル領域に応力を印加する応力付与膜が形成されている請求項1に記載の半導体装置。

12. 前記応力付与膜がシリコン窒化膜である請求項11に記載の半導体装置。

13. トレンチ溝を埋め込む素子分離膜によって分離されたpチャネル型MOSトランジスタが形成されており、かつ、前記pチャネル型MOSトランジスタのソース・ドレイン領域のゲート幅方向と平行な二辺と接する素子分離膜がシリコン酸化膜により形成され、前記pチャネル型MOSトランジスタのソース・ドレイン領域のチャネル方向と平行な二辺と接する素子分離膜の少なくとも一部がシリコン窒化膜により形成されている半導体装置。

14. 前記少なくとも一部がシリコン窒化膜により構成されている素子分離膜が、酸化膜／窒化膜／酸化膜の3層構造の絶縁膜である請求項13に記載の半導体装置。

15. 前記pチャネル型MOSトランジスタが形成されている同一基板上

にnチャネル型MOSトランジスタが形成されている請求項13に記載の半導体装置。

16. 前記nチャネル型MOSトランジスタのソース・ドレイン長が1 μ m以上である請求項15に記載の半導体装置。

17. 前記nチャネル型MOSトランジスタは、チャネル方向およびゲート幅方向の内少なくとも1つの方向の引っ張り応力を有する請求項15に記載の半導体装置。

18. 前記nチャネル型MOSトランジスタがトレンチ溝を埋め込む素子分離膜によって分離されており、かつ、前記nチャネルMOS電界効果トランジスタのソース・ドレイン領域の少なくとも平行な二辺と接する素子分離膜の少なくとも一部はシリコン窒化膜により構成されている請求項15に記載の半導体装置。

19. 前記少なくとも一部がシリコン窒化膜により構成されている素子分離膜が、酸化膜／窒化膜／酸化膜の3層構造の絶縁膜である請求項18に記載の半導体装置。

20. 半導体基板には、チャネル領域に応力を印加する応力付与膜が形成されている請求項13に記載の半導体装置。

21. 前記応力付与膜がシリコン窒化膜である請求項20に記載の半導体装置。

22. チャネル領域におけるチャネル方向またはゲート幅方向の引っ張り歪みがゲート幅方向またはチャネル方向の引っ張り歪みよりも大きいnチャネル型MOSトランジスタを有する半導体装置。

23. 前記nチャネル型MOSトランジスタが形成されている同一基板上にpチャネル型MOSが形成されている請求項22に記載のMOS型半導体装置。

24. 半導体基板上には、チャネル領域に応力を印加する応力付与膜が形成されている請求項22に記載の半導体装置。

25. 前記応力付与膜がシリコン窒化膜である請求項24に記載の半導体装置。

26. 活性領域がトレンチ溝を埋め込む素子分離膜によって分離されており、かつ、ソース・ドレイン領域の少なくとも平行な二辺と接する素子分離膜の少なくとも一部はシリコン窒化膜により構成されているnチャネル型MOSトランジスタを有する半導体装置。

27. 前記nチャネル型MOSトランジスタが形成されている同一基板上にpチャネル型MOSが形成されている請求項26に記載の半導体装置。

28. 前記少なくとも一部がシリコン窒化膜により構成されている素子分離膜が、酸化膜／窒化膜／酸化膜の3層構造の絶縁膜である請求項26に記載の半導体装置。

29. 半導体基板上には、チャネル領域に応力を印加する応力付与膜が形成されている請求項26に記載の半導体装置。

30. 前記応力付与膜がシリコン窒化膜である請求項29に記載の半導体装置。

図 1

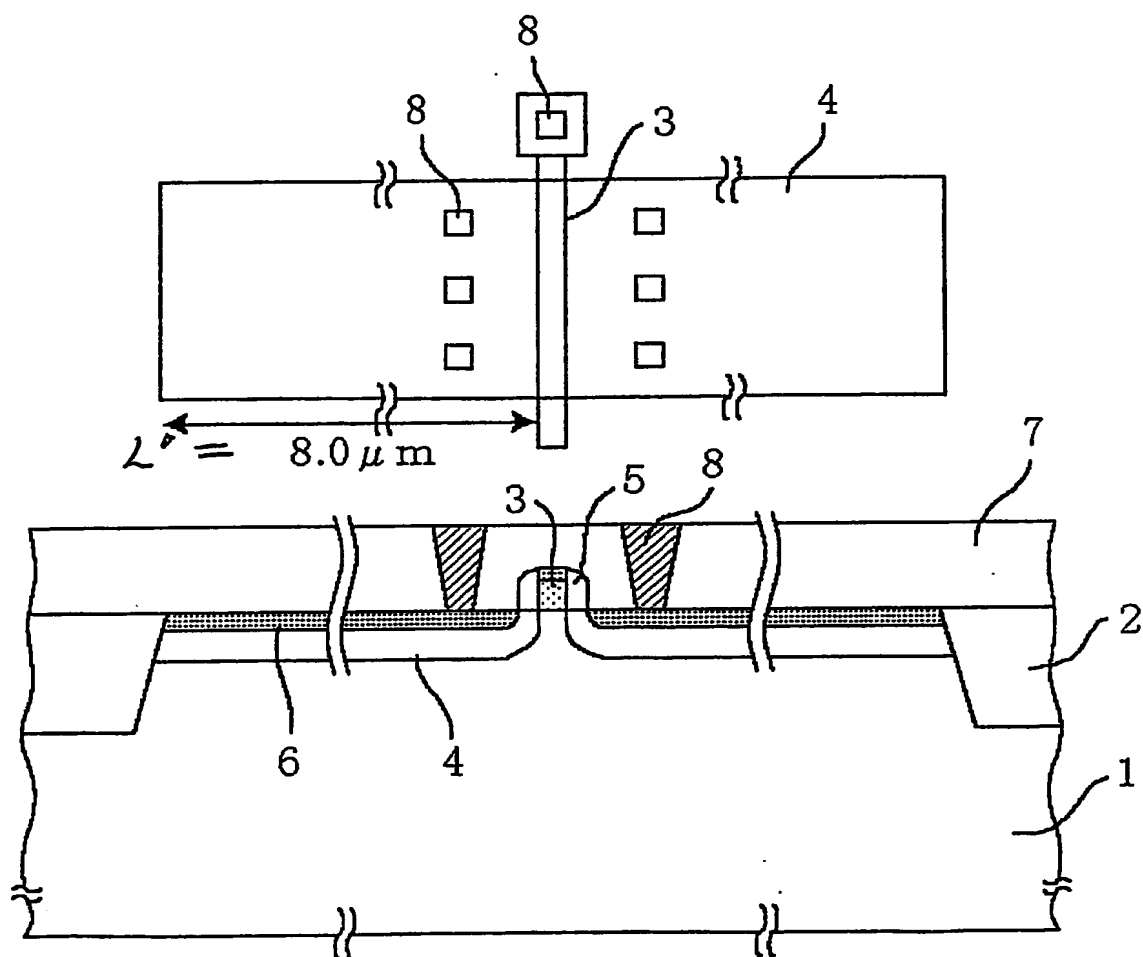


図 2

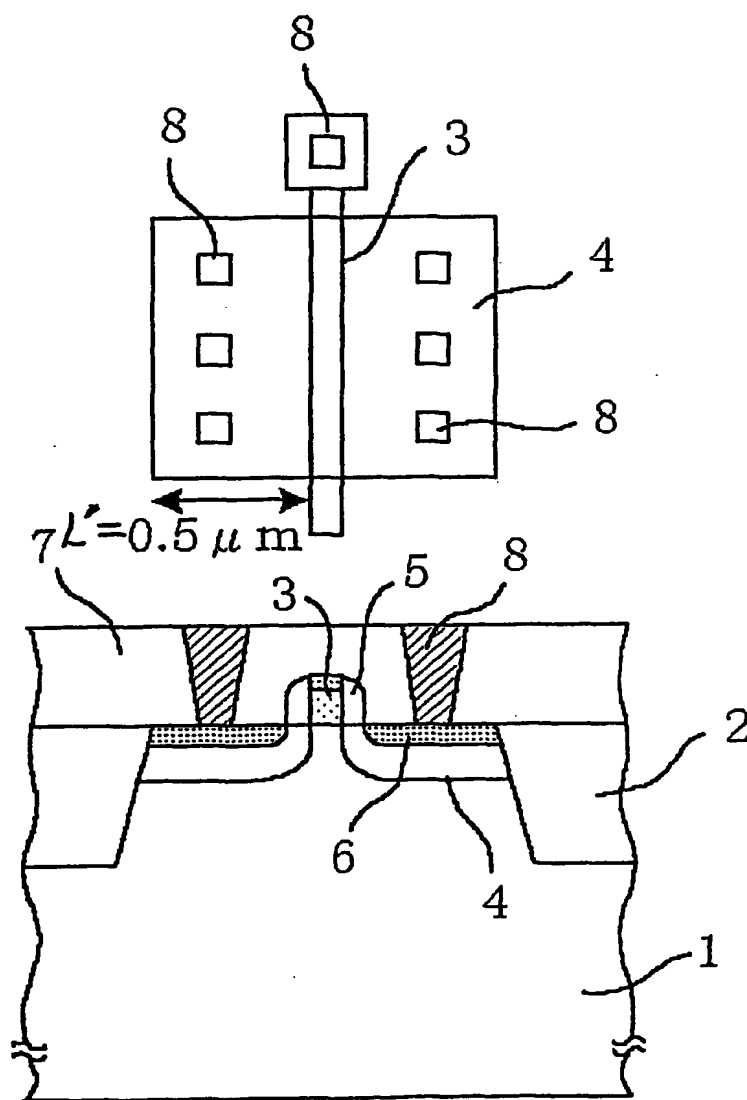


図 3

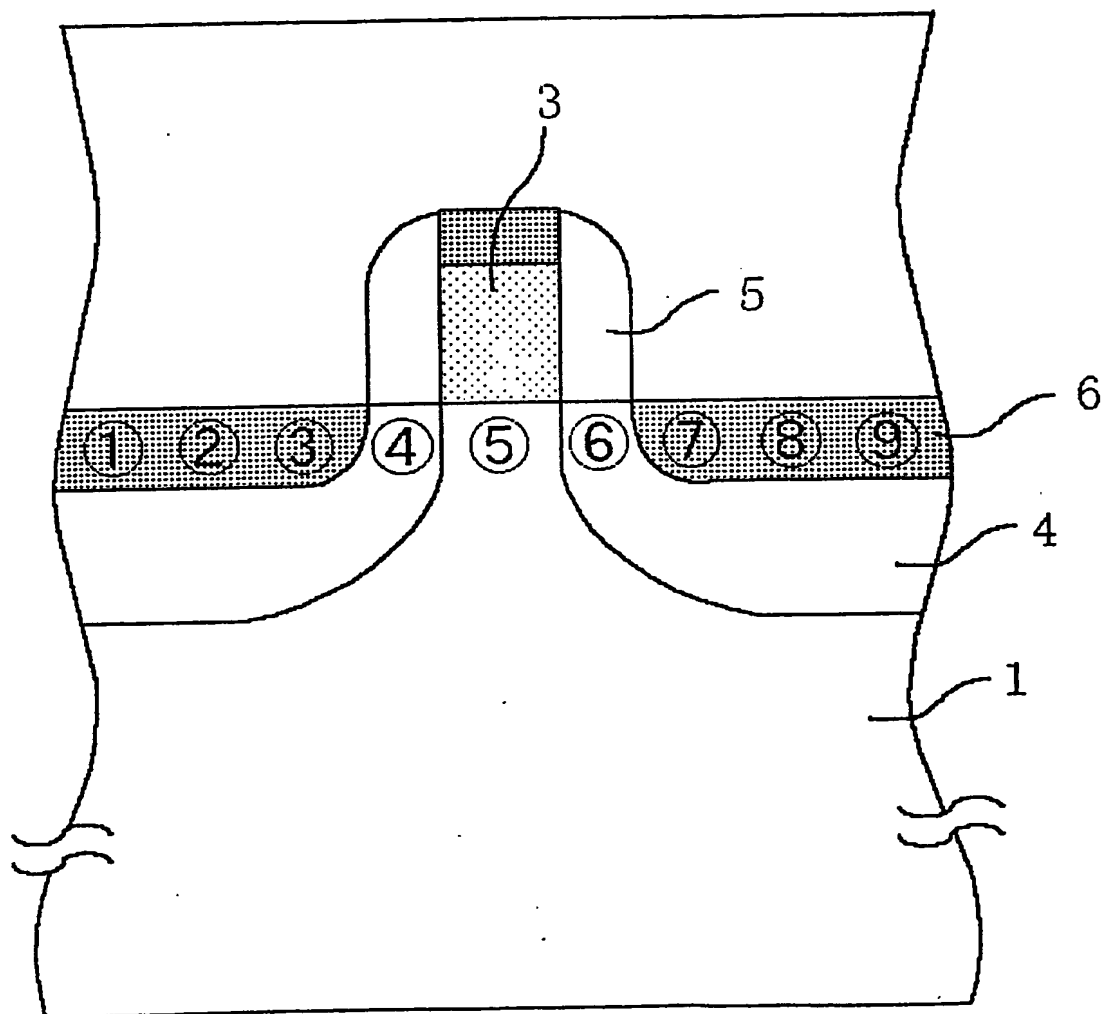
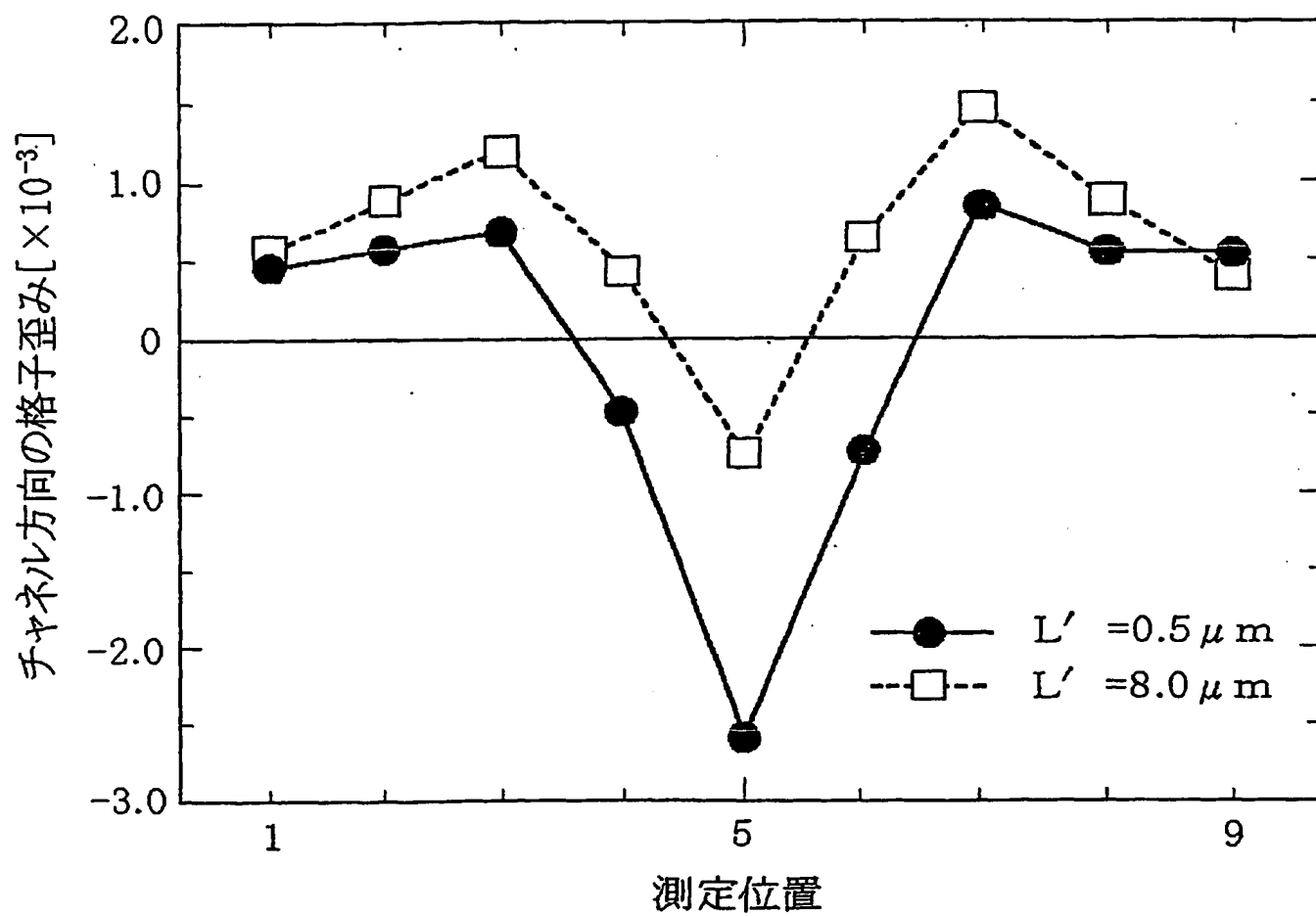


図 4



5/14

図 5

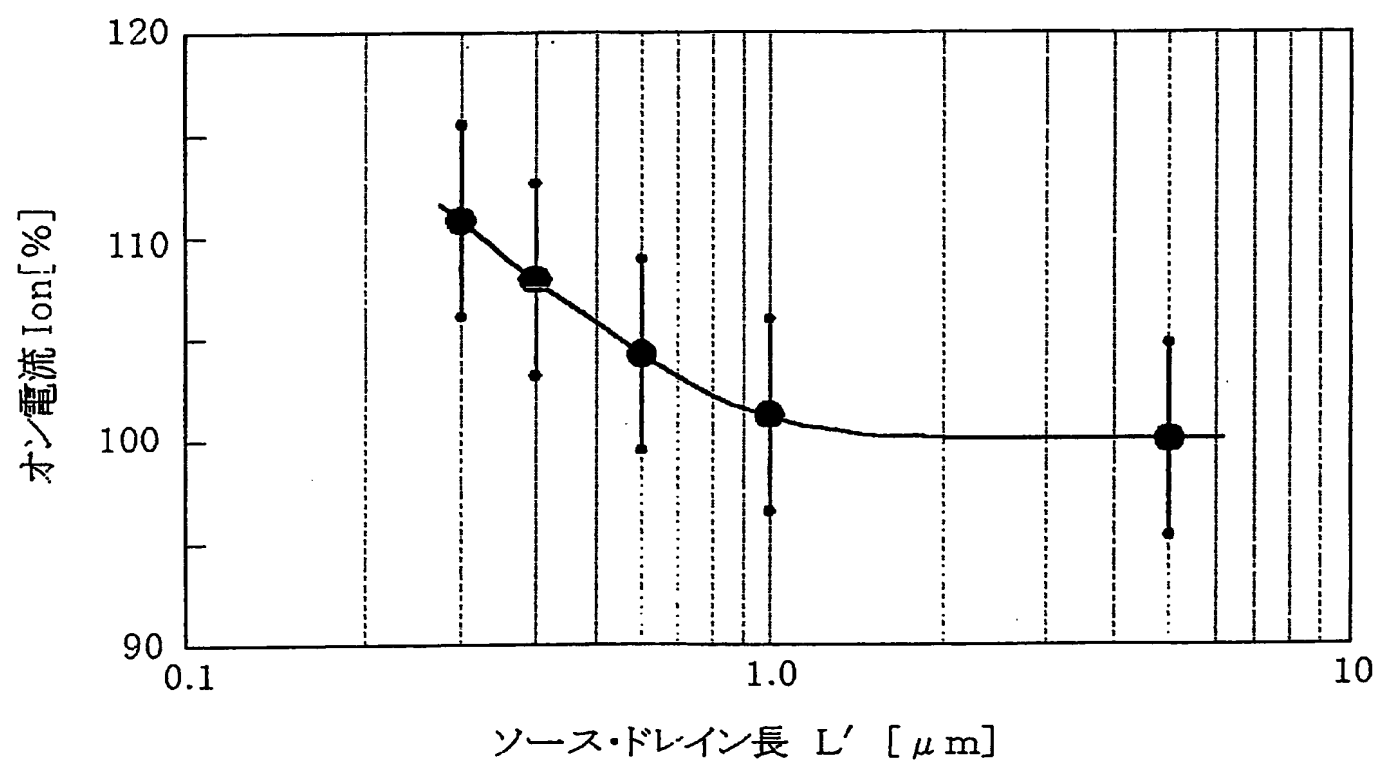


図 6

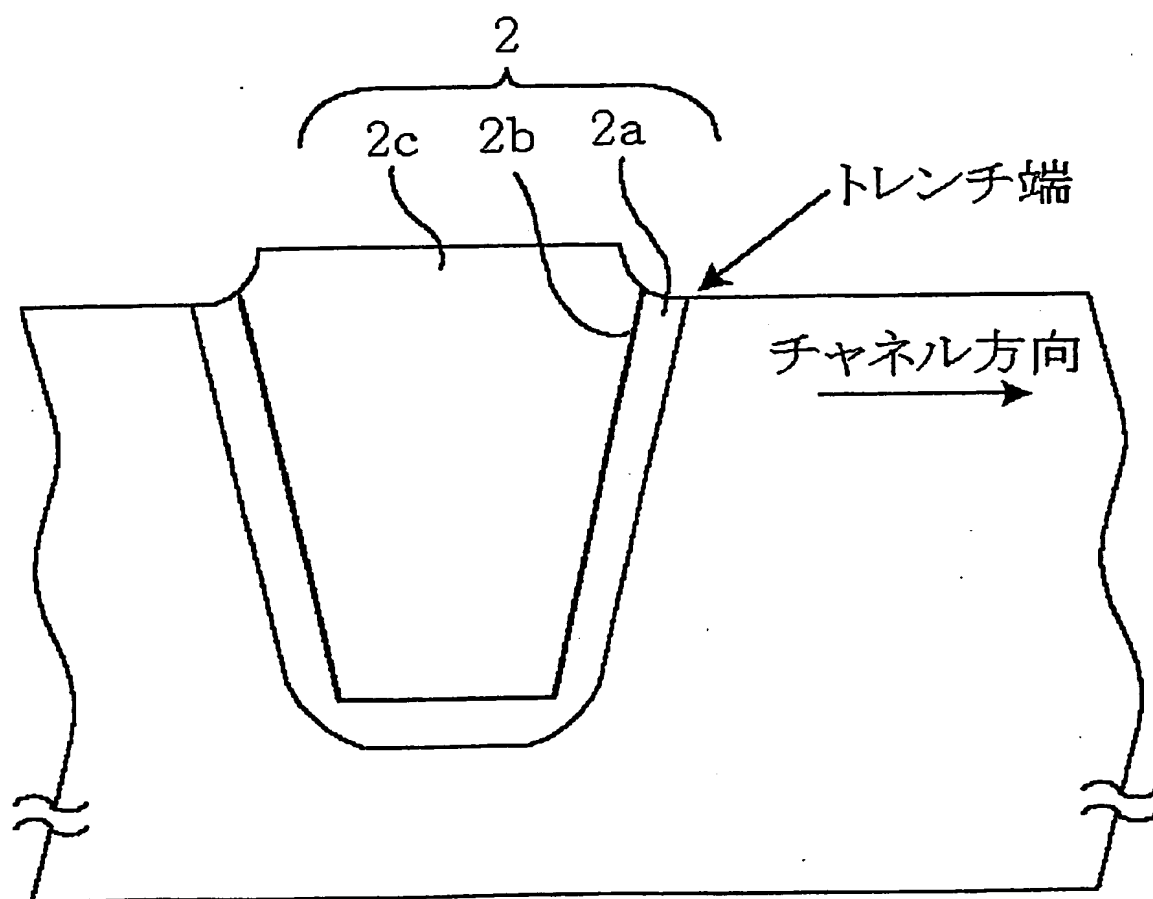


図 7

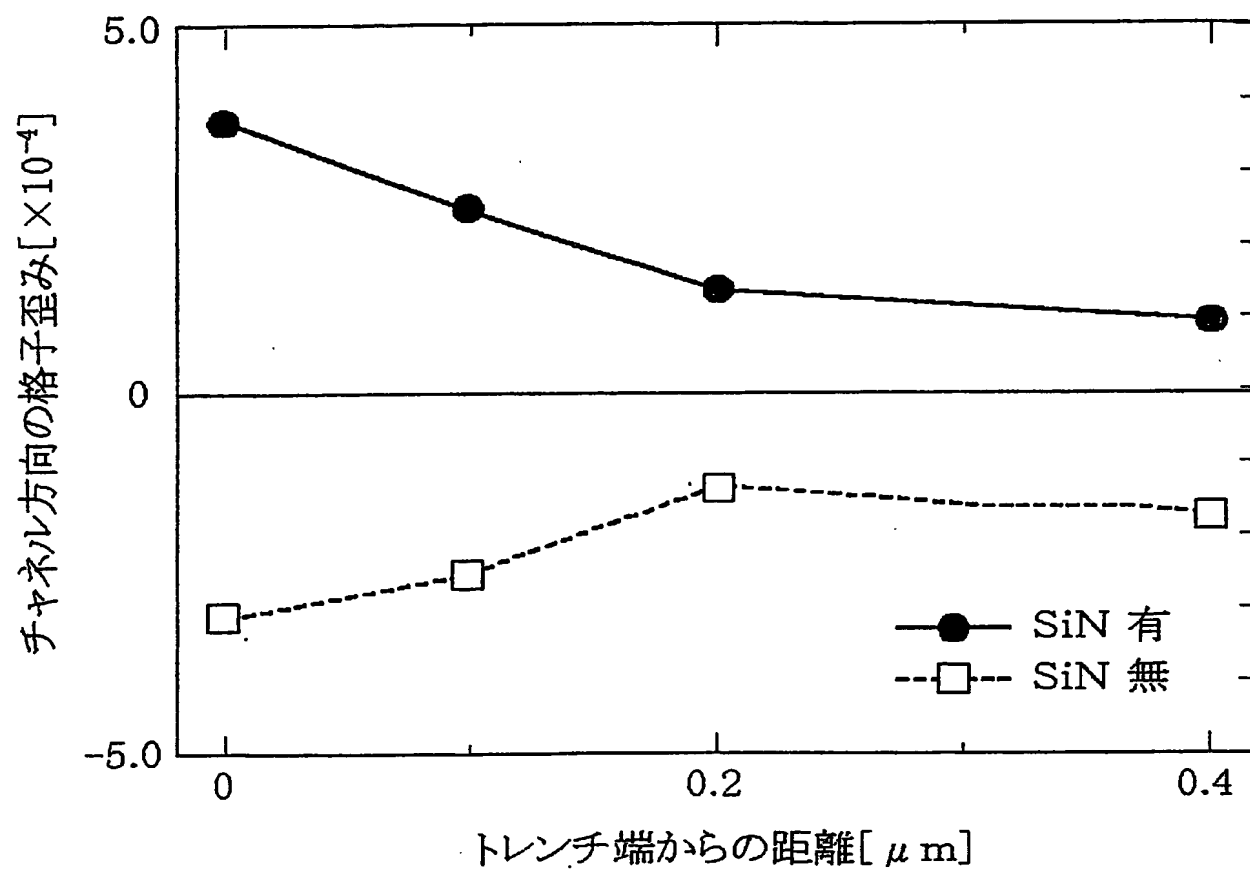


図 8

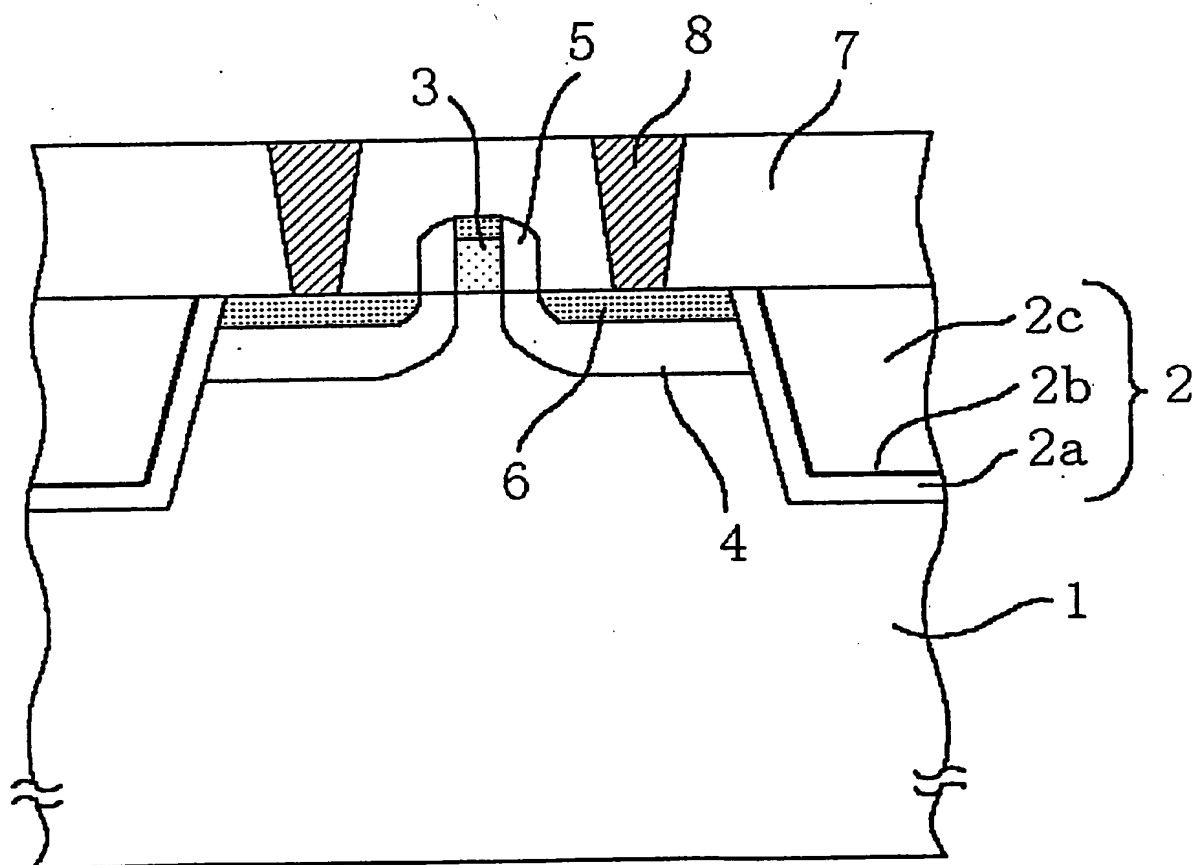
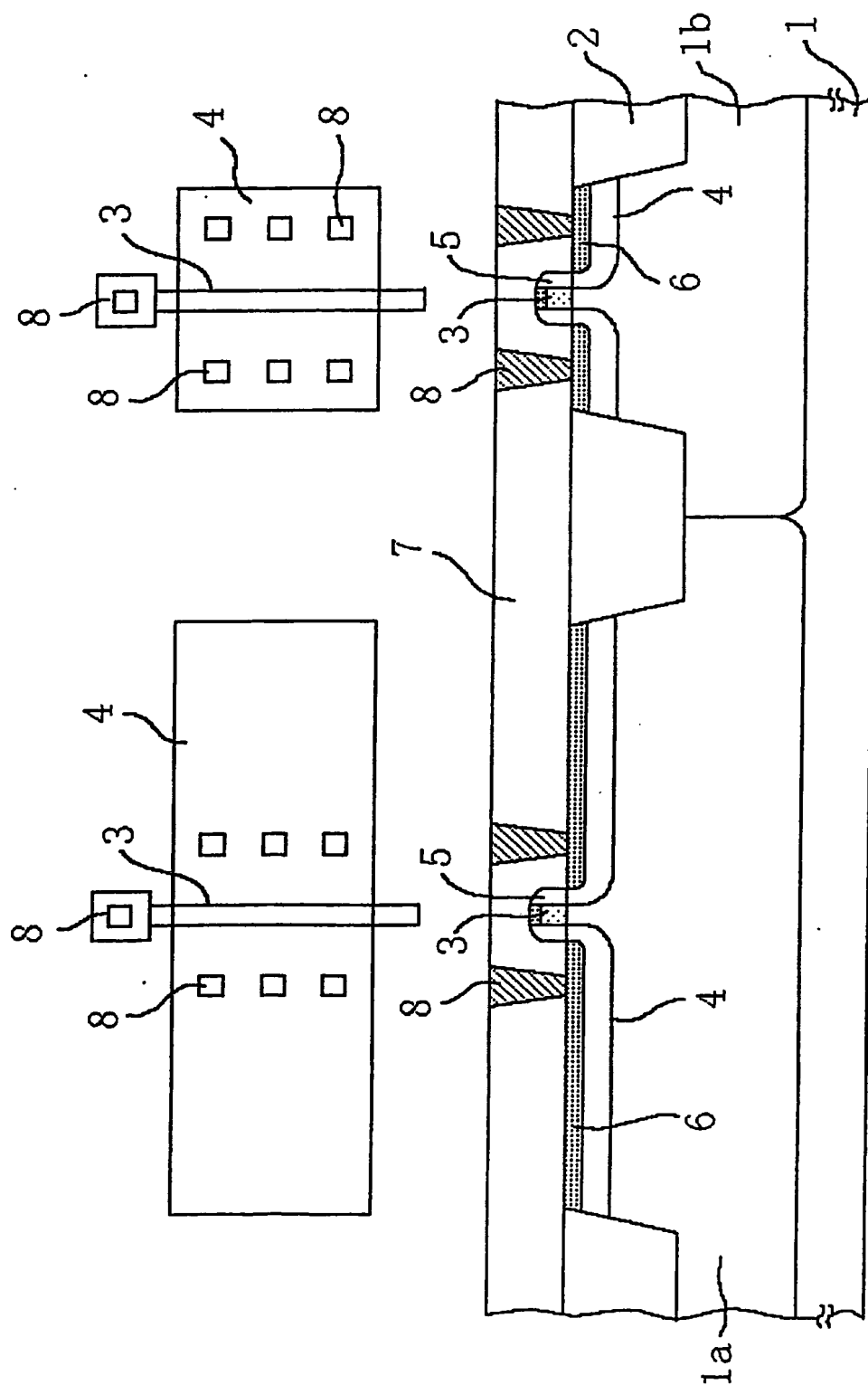
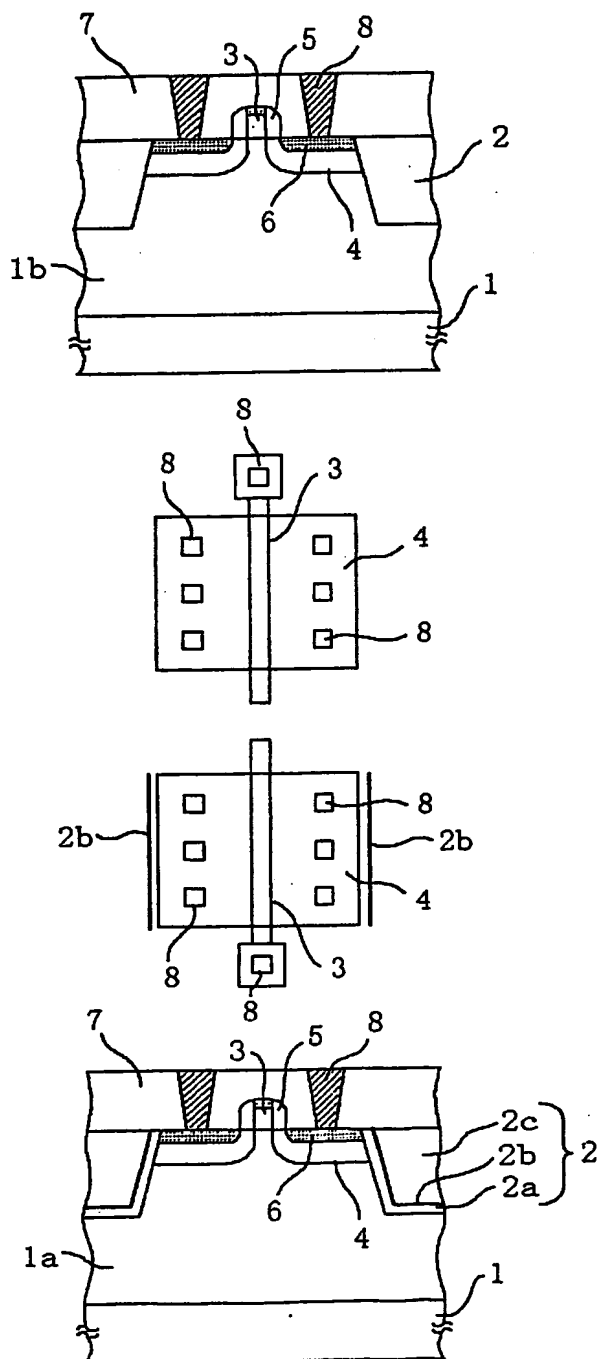


図 9



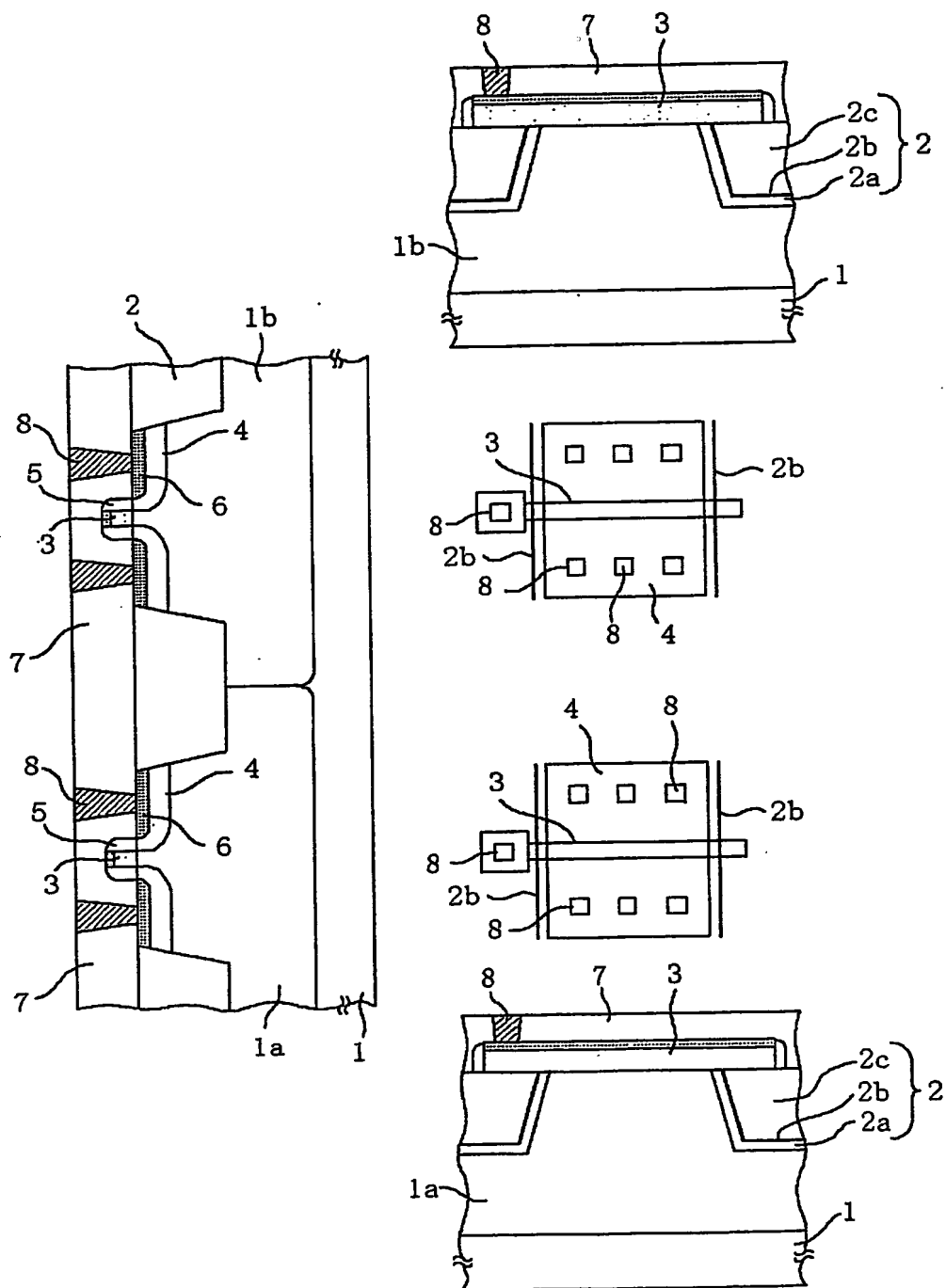
10/14

図 10



11/14

図 11



12/14

図 12

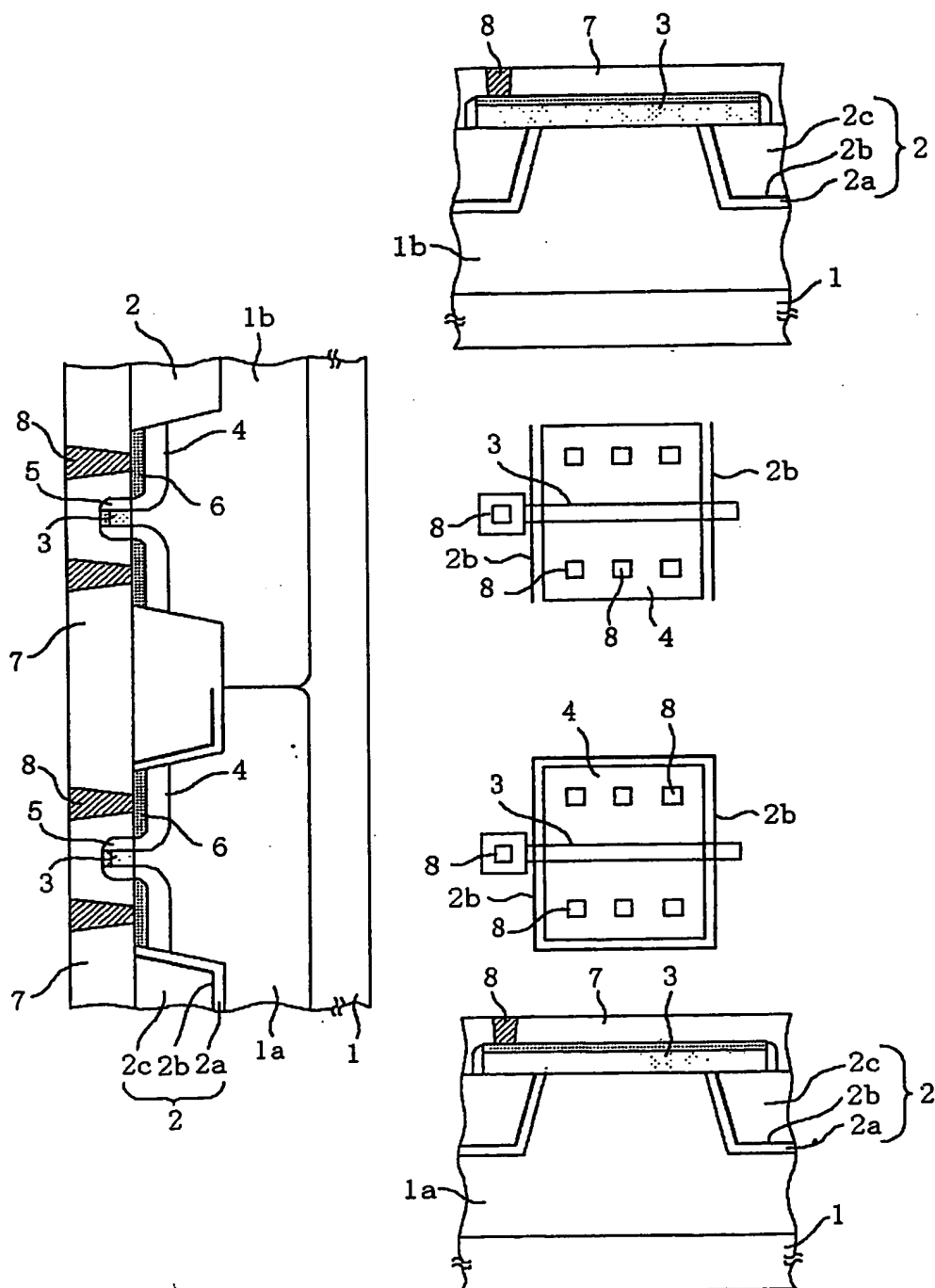
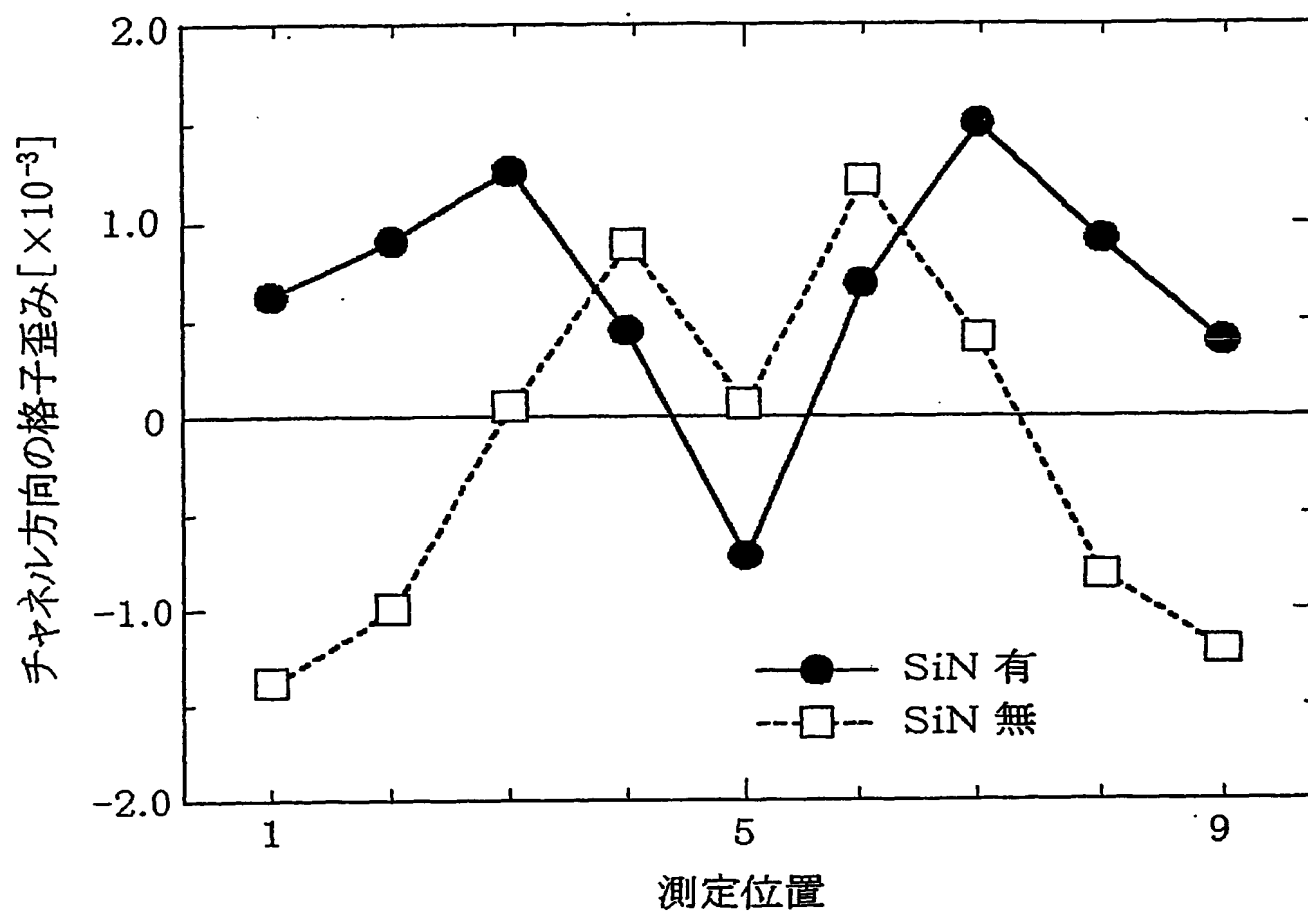


図 13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/12861

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/092, H01L21/8238, H01L29/78, H01L21/336, H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JICST FILE (JOIS), INSPEC (DIALOG)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	G. SCOTT et al., "NMOS Drive Current Reduction Caused by Transistor Layout and Trench Isolation Induced Stress", International Electron Devices Meeting 1999. IEDM Technical Digest, (1999), pages 827 to 830	1-4, 6-12 5, 13-21
Y A	US 6211064 B1 (HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.), 03 April, 2001 (03.04.01), Column 1, lines 29 to 62 & JP 2000-36567 A Column 2, lines 1 to 40 & KR 2000-4591 A & TW 412847 A	1-4, 6-12 13-21

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 March, 2003 (10.03.03)

Date of mailing of the international search report
25 March, 2003 (25.03.03)

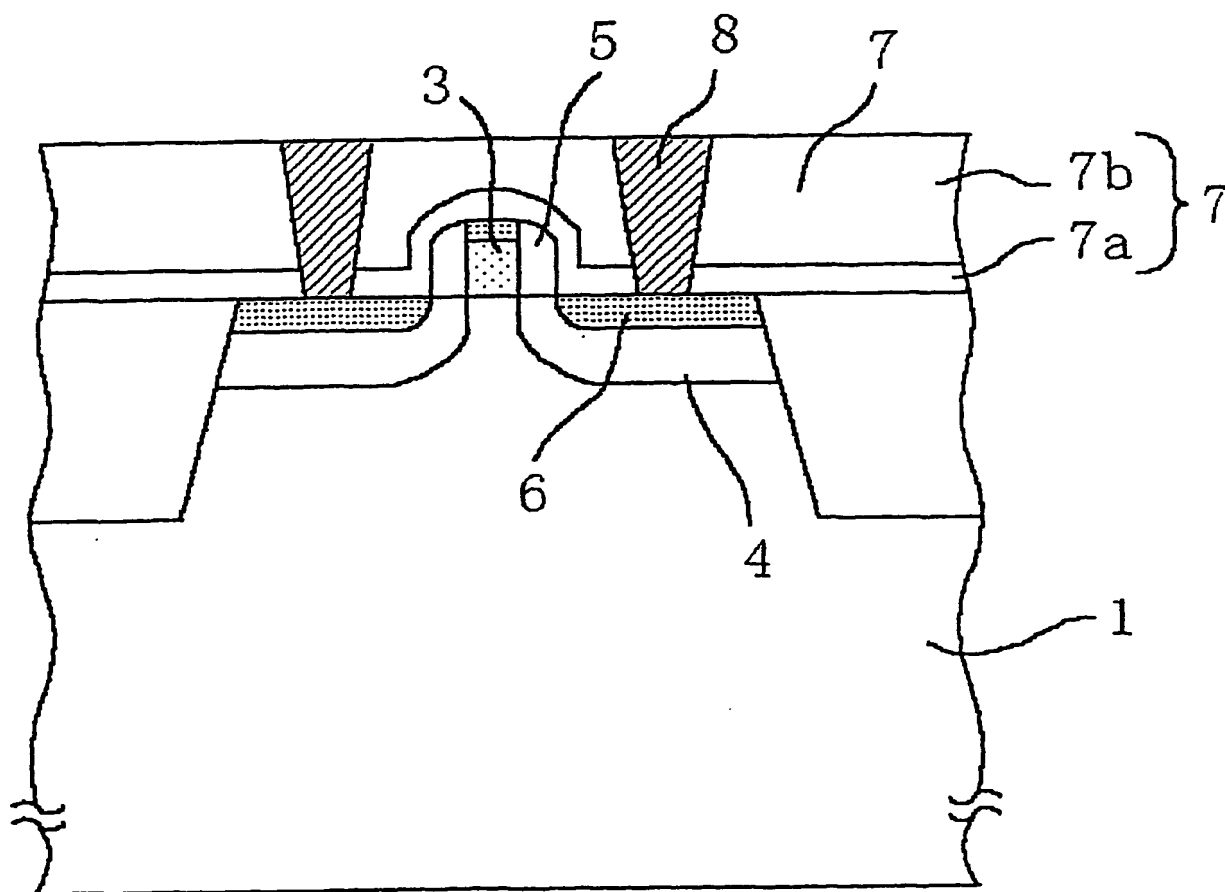
Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

図 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12861

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2001/0003364 A1 (SONY CORP.), 14 June, 2001 (14.06.01), Page 2, left column, lines 15 to 37 & JP 11-340337 A Column 4, lines 22 to 39	1-4, 6-12 5, 13-21
X Y A	A. SHIMIZU et al., "Local Mechanical-Stress Control (LMC): A New Technique for CMOS-Performance Enhancement", International Electron devices Meeting 2001. IEDM Technical Digest, 02 December, 2001 (02.12.01), pages 433 to 436	22-25 8, 11-12, 29-30 5, 13-21
X Y A	EP 0967636 A2 (SIEMENS AG), 29 December, 1999 (29.12.99), Column 3, line 19 to column 5, line 35; Figs. 1A to 1I & JP 2000-40797 A Column 5, line 8 to column 7, line 14 & US 6074903 A & CN 1239324 A & KR 2000-6208 A & TW 418487 A	26-28 9-10, 29-30 13-21

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12861

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-30 are linked to one another only in respect of the feature "a MOS field-effect transistor having strain". However, this feature is disclosed in prior art documents JP 2000-36567, A (Hyundai Electronics Industries Co., Ltd.), 2000.02.02 and JP 2001-244468, A (Sony Corp.), 2001.09.07, and cannot be a special technical feature.

There exists no special technical feature so linking the inventions of claims 1-30 as to form a single general inventive concept among the inventions. Therefore there are at least four groups of inventions of claims 1-12, claims 13-21, claims 22-25, and claims 26-30.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl¹ H01L27/092

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl¹ H01L27/092, H01L21/8238, H01L29/78, H01L21/336,
H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS), INSPEC (DIALOG)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	G. SCOTT et al., 'NMOS Drive Current Reduction Caused by Transister Layout and Trench Isolation Induced Stress', International Electron Devices Meeting 1999. IEDM Technical Digest, (1999), p827-830	1-4, 6-12
A		5, 13-21
Y	US 6211064 B1 (HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.), 2001. 04. 03, 第1欄29-62行 & JP 2000-36567 A, 第2欄1-40行 & KR 2000-4591 A & TW 412847 A	1-4, 6-12, 13-21
A		

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

10. 03. 03

国際調査報告の発送日

25.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

安田 雅彦



4 L

9447

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2001/0003364 A1 (SONY CORPORATION), 2001. 06. 14, 第2頁左欄15-37行 & JP 11-340337 A, 第4欄22-39行	1-4, 6-12
A		5, 13-21
X	A. SHIMIZU et al., 'Local Mechanical-Stress Control (LMC): A New Technique for CMOS-Performance Enhancement', International Electron Devices Meeting 2001. IEDM Technical Digest, (2001. 12. 02), p433-436	22-25
Y		8, 11-12, 29-30
A		5, 13-21
X	EP 0967636 A2 (SIEMENS AKTIENGESELLSCHAFT), 1999. 12. 29, 第3欄19行-第5欄35行, 図1A-1I & JP 2000-40797 A, 第5欄8行-第7欄14行 & US 6074903 A & CN 1239324 A & KR 2000-6208 A & TW 418487 A	26-28
Y		9-10, 29-30
A		13-21

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1-30に記載されている一群の発明は、「歪みを有するMOS電界効果トランジスタ」であるという事項でのみ連関していると認める。しかしながら、この事項は先行技術文献、例えば、JP, 2000-36567, A (現代電子産業株式会社), 2000.02.02やJP, 2001-244468, A (ソニー株式会社), 2001.09.07等、に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-30に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在せず、この国際出願の請求の範囲には、1-12と、13-21と、22-25と、26-30とに区分される少なくとも4個の発明が記載されていると認める。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

THIS PAGE BLANK (USPTO)